

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-278510

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

G09G 3/28

G09G 3/20

H04N 5/66

(21)Application number : 2001-077529

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.03.2001

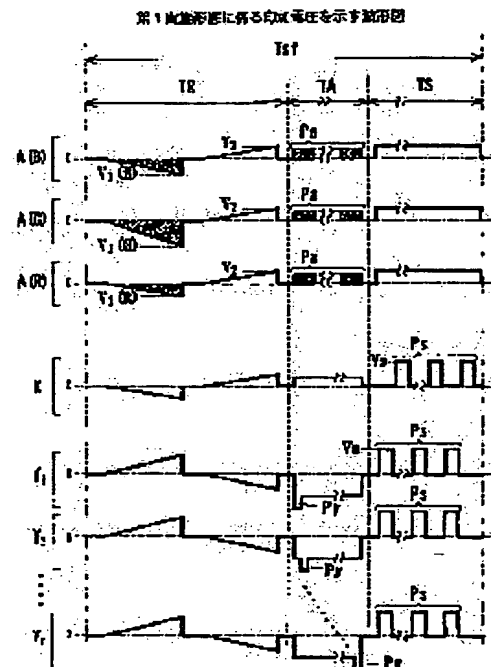
(72)Inventor : TAKAYAMA KUNIO

(54) DRIVE METHOD OF PLASMA DISPLAY PANEL, AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve contrast of a display by reducing the background light emission.

SOLUTION: The drive operation of a plasma display panel is provided, in which the followings are successively conducted, i.e., a reset in which wall electric charges of cell groups constituting the display surface are made uniform, an addressing in which the potentials of address electrode A groups, that are crossed with display electrode groups, are controlled according with display data and a turn on maintaining, in which a maintaining voltage is applied to generate display discharge for the cell groups. In the above operations, the address electrode A groups are divided into groups, according to the discharging characteristics of the cells corresponding to the address electrode A and different potential controls are conducted for each one of the groups (R), (G) and (B) for the address electrode A groups, so that the luminance by discharging light emission in the reset is made uniform among the cells, having different discharge characteristics during the reset.



LEGAL STATUS

[Date of request for examination]

23.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3529737

[Date of registration]

05.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-278510

(P2002-278510A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 2 1 Z 5 C 0 5 8
	3/20		6 4 1 E 5 C 0 8 0
	6 4 1	H 0 4 N 5/66	1 0 1 B
H 0 4 N 5/66	1 0 1	G 0 9 G 3/28	H

審査請求 未請求 請求項の数11 O L (全 23 頁)

(21)出願番号 特願2001-77529(P2001-77529)

(22)出願日 平成13年3月19日(2001.3.19)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 高山 邦夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100086933

弁理士 久保 幸雄

Fターム(参考) 5C058 AA11 BA01 BA03 BA05 BA08
BB25

5C080 AA05 BB05 CC03 DD01 EE29

EE30 FF12 HH02 HH04 JJ02

JJ04 JJ05 JJ06

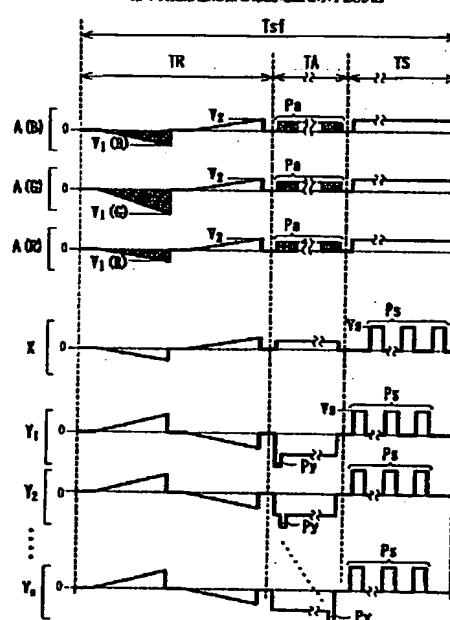
(54)【発明の名称】 プラズマディスプレイパネルの駆動方法および表示装置

(57)【要約】

【課題】 背景発光を低減して表示のコントラストを高める。

【解決手段】 表示面を構成するセル群の壁電荷を均等に
するリセット、表示電極群と交差するアドレス電極A群
の電位を表示データに応じて制御するアドレッシング、
および前記セル群に表示放電を生じさせるための維持電
圧を印加する点灯維持を順に行うプラズマディスプレイ
パネルの駆動において、アドレス電極A群を各アドレス
電極Aに対応するセルの放電特性に応じてグループ分け
し、リセットに際して、当該リセットにおける放電発光
による輝度が放電特性の異なるセルどうしの間で均等
になるように、アドレス電極A群に対してグループ (R)
(G) (B) ごとに異なる電位制御を行う。

第1実施形態に係る印加電圧を示す波形図



【特許請求の範囲】

【請求項1】表示面を構成するセル群の壁電荷を均等にリセット、表示電極群と交差するアドレス電極群の電位を表示データに応じて制御するアドレッシング、および前記セル群に表示放電を生じさせるための維持電圧を印加する点灯維持を順に行うプラズマディスプレイパネルの駆動方法であって、

前記アドレス電極群を各アドレス電極に対応するセルの放電特性に応じてグループ分けし、

前記リセットに際して、当該リセットにおける放電発光による輝度が放電特性の異なるセルどうしの間で均等になるように、前記アドレス電極群に対してグループごとに異なる電位制御を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】表示面を構成するセル群の壁電荷を均等にリセット、表示電極群と交差するアドレス電極群の電位を表示データに応じて制御するアドレッシング、および前記セル群に表示放電を生じさせるための維持電圧を印加する点灯維持を順に行うプラズマディスプレイパネルの駆動方法であって、

前記アドレス電極群を各アドレス電極に対応するセルの放電特性に応じてグループ分けし、

前記点灯維持に際して、当該点灯維持の次に行うリセットにおける放電発光による輝度が放電特性の異なるセルどうしの間で均等になるように、前記アドレス電極群に対してグループごとに異なる電位制御を行うことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項3】放電空間を挟んで対向する2枚の基板の一方に前記表示電極群が配置され、他方に前記アドレス電極群と複数種の蛍光体とが配置されたプラズマディスプレイパネルによる表示の場合に、前記アドレス電極群を各アドレス電極に対応するセルに配置される蛍光体の種類に応じてグループ分けする請求項1または請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】前記リセットに際して、前記アドレス電極群に対してグループごとに振幅が異なる電圧パルスを印加する請求項1または請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項5】前記点灯維持に際して、前記アドレス電極群をグループごとに異なる電位にバイアスする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項6】前記リセットに際して、前記アドレス電極群に対してグループごとにパルス幅が異なる電圧パルスを印加する請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項7】前記電圧パルスの振幅が、前記アドレッシングに際して前記アドレス電極群に印加するアドレスパルスの振幅と等しい請求項6記載のプラズマディスプレイパネルの駆動方法。

【請求項8】前記リセットに際して、振幅およびパルス

幅が前記アドレスパルスと等しいパルスを、前記アドレス電極群に対してグループごとに異なる回数繰り返し印加する請求項7記載のプラズマディスプレイパネルの駆動方法。

【請求項9】放電空間を挟んで対向する2枚の基板の一方に表示電極群が配置され、他方に前記表示電極群と交差するアドレス電極群および複数種の蛍光体が配置されたプラズマディスプレイパネルと、

表示面を構成するセル群の壁電荷を均等にリセットに際して、当該リセットにおける放電発光による輝度が放電特性の異なるセルどうしの間で均等になるように、前記アドレス電極群に対して各アドレス電極に対応するセルの放電特性に応じて分けたグループごとに異なる電位制御を行う駆動回路とを備えたことを特徴とする表示装置。

【請求項10】前記駆動回路は、リセットに際して前記アドレス電極群に対してグループごとにパルス幅が異なる電圧パルスを印加し、前記電圧パルスの振幅が、アドレッシングに際して前記アドレス電極群に印加するアドレスパルスの振幅と等しい請求項9記載の表示装置。

【請求項11】前記駆動回路は、リセットに際して振幅およびパルス幅が前記アドレスパルスと等しい電圧パルスを、前記アドレス電極群に対してグループごとに異なる回数繰り返し印加する請求項10記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル（Plasma Display Panel：PDP）の駆動方法に関する。

【0002】PDPは壁掛けテレビジョンやコンピュータのモニターとして商品化されている。PDPは、2値発光セルからなるデジタル表示デバイスであってデジタルデータの表示に好適であることから、マルチメディアモニターとしても期待されている。PDPの課題の1つに背景輝度の低減がある。

【0003】

【従来の技術】カラー表示用のAC型PDPにおいて、3電極面放電構造が採用されている。これは、表示放電において陽極および陰極となる表示電極を基板対の一方の内面上に平行に配列し、表示電極対と交差するようにアドレス電極を配列した構造形式である。単位発光素子であるセルには計3本の電極が係わる。面放電構造においては、表示電極対を配置した第1の基板と向き合う第2の基板上にカラー表示のための3種の蛍光体層を配置することによって、放電時のイオン衝撃による蛍光体層の劣化を軽減し、長寿命化を図ることができる。一般に、アドレス電極も第2の基板上に配置され、蛍光体層によって覆われる。

【0004】面放電形式のPDPの表示では、各行に対

応づけられた表示電極対の一方を行選択のためのスキャン電極として用いる。スキャン電極とアドレス電極との間でのアドレス放電と、それをトリガーとする表示電極間のアドレス放電とを生じさせることによって、誘電体の帯電量（壁電荷量）を制御するアドレッシングを行い、その後に壁電荷を利用して表示輝度に応じた回数の表示放電を生じさせる点灯維持を行う。また、アドレッシングに先立って画面全体の帯電状態を均等にする処理（リセット）を行う。点灯維持の終了時点では、壁電荷が比較的によく残存するセルとほとんど残存しないセルとが混在するので、表示の信頼性を高めるアドレッシング準備処理としてリセットを行う。

【0005】米国特許5745086号には、第1および第2のランプ電圧をセルに順に印加するリセット過程が開示されている。緩やかな勾配のランプ電圧を印加することにより、次に説明する微小放電の性質から、リセット期間中における発光の光量を小さくしてコントラストの低下を防ぎ、かつセル構造のバラツキに係わらず壁電圧を任意の目標値に設定することができる。

【0006】適量の壁電荷が存在するセルに振幅が漸増するランプ電圧を印加すると、ランプ電圧の傾きが緩やかであれば印加電圧の上昇途中で微小な放電が複数回起きる。これよりも傾きが緩やかであれば、放電周期が短い連続的な放電形態となる。以下の説明では、周期的な放電および連続的な放電を総称して“微小放電”と呼称する。微小放電が生じる期間では、ランプ電圧の上昇によってセル電圧（＝壁電圧＋印加電圧）が放電開始閾値を超えても、セル電圧は常に放電開始閾値の近傍に保たれる。それは、微小放電によってランプ電圧の上昇分とほぼ同等分だけ壁電圧が下がるからである。放電開始閾値はセルの電気的特性で決定される一定値であるので、ランプ電圧の最終値の設定によって、アドレッシングに適した任意の値に壁電圧を設定することができる。つまり、セル間で放電開始閾値に微妙な差異があったとしても、全てのセルについてそれぞれの放電開始閾値と壁電圧との相対差を均等にする事ができる。

【0007】このような微小放電の性質を利用するリセット過程では、第1のランプ電圧の印加によってセルに

$$V_{t_{YA}}(R) < V_{t_{YA}}(B) < V_{t_{YA}}(G) \quad \dots (1)$$

の関係が成立しているとする、図34(A)のように発光色ごとに異なる時点で放電が生じる。なお、ここではアドレス電極を陽極とした場合のYA電極間の放電開始閾値 $V_{t_{AY}}$ を、蛍光体に依らない一定値としている。放電開始閾値は、主として陰極となる電極側の誘電体の二次電子放出係数によって決まるので、この仮定は現実に則している。ただし、ここでの議論を放電開始閾値 $V_{t_{AY}}$ が蛍光体に依存する場合に拡張することは容易である。

【0013】第1のランプ電圧（書き込みパルス）を印加したときの微小放電は、(1)式の関係から、R、B、

適量の壁電荷を形成しておき、その後に第2のランプ電圧の印加によって電極間の壁電圧を目標値に近づける。第1のランプ電圧の振幅は、第2のランプ電圧で必ず微小放電が起きるように選定される。また、第2のランプ電圧の極性は、アドレッシングにおいて印加される電圧と同じ極性とされる。

【0008】従来のリセット過程における電極電位の制御は、全てのセルについて一律であった。

【0009】

【発明が解決しようとする課題】従来の駆動方法によるリセットでは、背景発光の低減が困難であるという問題があった。背景発光とは、画面内の非発光であるべき領域の発光である。また、背景発光が彩色を帯びて色調が低下してしまうという問題もあった。以下にこれら問題の原因について述べる。

【0010】図34(A)は従来のリセット過程に係るYA電極間の3つの電圧波形（印加電圧、壁電圧、およびセル電圧）を示し、図34(B)はリセット期間TRにおける積分発光量の推移を示す。YA電極間とはスキャン電極とアドレス電極との電極間であり、積分発光量とは注目期間における発光量の総和である。図34の例においてリセット過程直前の壁電圧は、蛍光体に依らずに一定値となっている。また、R、G、Bのそれぞれの特性が、点線、実線、破線で示されている。

【0011】カラー表示にはR、G、Bの3種類の蛍光体が用いられる。通常、これら蛍光体の材質、粒子径、および層にしたときの表面状態は種類ごとに異なる。このことは、セルの放電特性が製造プロセスに起因したセル構造のばらつきの影響だけではなく、蛍光体の種類の違いによる影響をも受けることを意味する。蛍光体の種類が異なるセル間での放電開始閾値の差が50ボルト以上になることもある。

【0012】ここではYA電極間の放電開始閾値が蛍光体の発光色ごとに異なっている場合について論じる。アドレス電極を陰極とした場合のYA電極間の放電開始閾値を、R、G、Bのそれぞれについて $V_{t_{YA}}(R)$ 、 $V_{t_{YA}}(G)$ 、 $V_{t_{YA}}(B)$ とおく。このとき、

Gの順に開始する。このため、発光期間をみると、Rのセルで最も長く、次いでBのセルで長く、Gのセルが最も短い。また、このときR、G、Bそれぞれのセルの壁電荷変化量が異なるので、第1のランプ電圧の印加終了時には、R、G、Bの間で壁電圧値が異なる。したがって、第2のランプ電圧（補償放電パルス）の印加時においても、R、B、Gの順に微小放電が開始するので、発光期間がR、B、Gの順に長い。

【0014】ランプ波の振幅 $V1_{YA}$ 、 $V2_{YA}$ は、3色のうち最も放電が起りにくいGのセルで確実に放電が起るように設定される。したがって、必然的にGの発光

量と比べてRおよびBの発光量が多くなり、背景発光の輝度が高くなってしまふ。また、R、G、Bのバランスが崩れるので、背景発光色が明度の小さい白色（暗い灰色）ではなく赤味をおびた色となる。蛍光体の材質の選定によっては青味をおびる場合もある。

【0015】本発明は、背景発光を低減して表示のコントラストを高めることを目的としている。

【0016】

【課題を解決するための手段】本発明においては、アドレス電極群を各アドレス電極に対応するセルの放電特性に応じてグループ分けし、アドレッシングの準備であるリセットに際して、当該リセットにおける放電発光による輝度が放電特性の異なるセルどうしの間で均等になるように、グループごとに異なる電位制御を行う。すなわち、グループごとに個別に制御することで、輝度が最も低いセルに合わせるように、他のセルの放電強度および発光期間を最適化する。

【0017】グループ分けの代表例は蛍光体の種類によって分けるものである。配置される蛍光体が異なる3種のセルの間で互いに放電特性が異なる場合は、アドレス電極群を3つのグループに分ける。放電特性の上で3種のうちの1種が他の2種と異なる場合は、アドレス電極群を2つのグループに分ける。放電特性が表示面内の位置によって異なる場合は、それに応じて2以上の任意の数のグループ分けを行えばよい。

【0018】

【発明の実施の形態】図1は本発明に係る表示装置の構成図である。表示装置100は、 $m \times n$ 個のセルからなる表示面を有した面放電型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0019】PDP1では、表示放電を生じさせるための電極対を構成する表示電極X、Yが平行配置され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。表示電極Yはスキャン電極として用いられ、アドレス電極Aはデータ電極として用いられる。図において表示電極X、Yの参照符号の添字（1、n）は対応する“行”の配列順位を示し、アドレス電極Aの参照符号の添字（1～m）は対応する“列”の配列順位を示す。行は列方向の配置順序が等しい列数分（m個）のセルの集合であり、列は行方向の配置順序が等しい行数分（n個）のセルの集合である。また、括弧内のアルファベットR、G、Bはそれを付した要素に対応するセルの発光色を示す。

【0020】ドライブユニット70は、コントローラ71、電源回路73、Xドライバ81、Yドライバ84、およびAドライバ88を有している。ドライブユニット

70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはコントローラ71の中のフレームメモリに一時的に記憶される。コントローラ71は、フレームデータDfを階調表示のためのサブフレームデータDsfに変換してAドライバ88へ送る。サブフレームデータDsfは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。なお、インタレース表示の場合には、フレームを構成する複数のフィールドのそれぞれが複数のサブフィールドで構成され、サブフィールド単位の発光制御が行われる。ただし、発光制御の内容はプログレッシブ表示の場合と同様である。

【0021】図2はPDPのセル構造の一例を示す図である。PDP1は一对の基板構体（基板上にセル構成要素を設けた構造体）10、20からなる。前面側のガラス基板11の内面に、n行m列の表示面ESの各行に一对一表示電極X、Yが配置されている。表示電極X、Yは、面放電ギャップを形成する透明導電膜41とその端縁部に重ねられた金属膜42とからなり、誘電体層17および保護膜18で被覆されている。背面側のガラス基板21の内面に1列に1本ずつアドレス電極Aが配列されており、これらアドレス電極Aは誘電体層24で被覆されている。誘電体層24の上に放電空間を列毎に区画する隔壁29が設けられている。誘電体層24の表面および隔壁29の側面を被覆するカラー表示のための蛍光体層28R、28G、28Bは、放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体文字（R、G、B）は蛍光体の発光色を示す。色配列は各列のセルを同色とするR、G、Bの繰り返しパターンである。Rの蛍光体として（Y、Gd） BO_3 ： Eu^{3+} が用いられ、Gの蛍光体として Zn_2SiO_4 ： Mn 、 $\text{BaAl}_{12}\text{O}_{19}$ ： Mn などが用いられ、Bの蛍光物質として $\text{BaMgAl}_{10}\text{O}_{17}$ ： Eu^{2+} が用いられている。

【0022】以下、表示装置100におけるPDP1の駆動方法を説明する。図3はフレーム分割の概念図である。PDP1による表示では、2値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレームFを所定数qのサブフレームSFに分割する。つまり、各フレームFをq個のサブフレームSFの集合に置き換える。これらサブフレームSFに順に 2^0 、 2^1 、 2^2 、 \dots 、 2^{q-1} の重みを付与して各サブフレームSFの表示放電の回数を設定する。サブフレーム単位の点灯／非点灯の組合せでRGBの各色毎に $N (=1+2^1+2^2+\dots+2^q)$ 段階の輝度設定を行うことができる。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。冗長な重み付けを設定して偽輪郭を低減してもよい。このようなフレーム構成に合わせてフレー

ム転送周期であるフレーム期間 T_f を q 個のサブフレーム期間 T_{sf} に分割し、各サブフレーム SF に1つのサブフレーム期間 T_{sf} を割り当てる。さらに、サブフレーム期間 T_{sf} を、初期化のためのリセット期間 T_R 、アドレッシングのためのアドレス期間 T_A 、および点灯維持のための表示期間 T_S に分ける。リセット期間 T_R およびアドレス期間 T_A の長さが重みに係わらず一定であるのに対し、表示期間 T_S の長さは重みが大きいほど長い。したがって、サブフレーム期間 T_{sf} の長さも、それに該当するサブフレーム SF の重みが大きいほど長い。駆動シーケンスはサブフレーム毎に繰り返され、 q 個のサブフレーム SF においてリセット期間 T_R ・アドレス期間 T_A ・表示期間 T_S の順序は共通である。

【0023】〔第1実施形態〕図4は第1実施形態に係る印加電圧を示す波形図である。まず、駆動シーケンスの概略を説明し、その後本発明に深く係わるリセットの内容を説明する。

【0024】リセット期間 T_R においては、アドレス電極 A 、表示電極 X 、および表示電極 Y に書き込みパルスと補償放電パルスとを印加することによって、各セルの $Y A$ 電極間および表示電極間（以下、これを $X Y$ 電極間という）に対してランプ波形電圧を計2回印加する。1回目の印加は、前サブフレームにおける点灯／非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせる。2回目の印加は、セルの壁電圧を放電開始閾値と印加電圧との差に相当する値に調整する。なお、表示電極 X 、 Y の片方およびアドレス電極のみに電圧パルスを印加してもよいが、図示のように電極間の双方の電極に互いに反対極性の電圧パルスを印加することによって、ドライバ回路素子の低耐圧化を図ることができる。電極間の印加電圧は、各電極に印加されるパルスの振幅を加算した合成電圧である。パルスの印加とは、電極を一時的にバイアスすることを意味する。図示においてバイアス基準は接地電位である。

【0025】アドレス期間 T_A においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y を所定電位にバイアスした状態で、行選択期間（1行分のスキャン時間）毎に選択行に対応した1つの表示電極 Y に負極性のスキャンパルス P_y を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極 A のみにアドレスパルス P_a を印加する。つまり、選択行の m 列分のサブフレームデータ D_{sf} に基づいてアドレス電極 $A_1 \sim A_m$ の電位を2値制御する。選択セルでは表示電極 Y とアドレス電極 A との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。

【0026】表示期間 T_S においては、最初に全ての表示電極 Y に対して所定極性（例示では正極性）のサステインパルス P_s を印加する。その後、表示電極 X と表示

電極 Y とに対して交互にサステインパルス P_s を印加する。サステインパルス P_s の振幅は維持電圧（ V_s ）である。サステインパルス P_s の印加によって、所定の壁電荷が残存するセルで面放電が生じる。サステインパルス P_s の印加回数は、上述したとおりサブフレームの重みに対応する。サステイン期間 T_S にわたって、アドレス電極 A は不要の放電を防止するためにサステインパルス P_s と同極性にバイアスされる。

【0027】図5は第1実施形態のリセット過程に係る電圧波形および積分発光量の推移を示す図、図6は第1実施形態に係る電圧設定の概念図である。第1実施形態では、リセット期間 T_R にアドレス電極 A に印加するパルスの振幅 $V_1(R)$ 、 $V_1(G)$ 、 $V_1(B)$ を、蛍光体の種類（ R 、 G 、 B ）ごとに設定する。例えば、従来例と同様に（1）式が成立している場合において、

（2）式を満たすように書き込みパルスの波高値（極性を含む印加条件としての電圧値） $V_1(R)$ 、 $V_1(G)$ 、 $V_1(B)$ を設定する。補償放電パルスの振幅については、蛍光体の種類に係わらず全てのアドレス電極 A に対して共通の値 V_2 を設定する。

【0028】 $V_1(G) < V_1(B) < V_1(R)$... (2)
アドレス電極 A および表示電極 Y の双方に対する書き込みパルスの印加によって、図5のように R 、 B 、 G の各色のセルにおける $Y A$ 電極間には、最終値が V_1

$V_{1A}(R)$ 、 $V_{1A}(B)$ 、 $V_{1A}(G)$ のランプ電圧が加わる。このとき、従来例と同様に、 R 、 B 、 G の順に微小放電が開始する。ただし、ランプ波形の傾きが異なるので、 R 、 B 、 G の間で書き込み期間中の電荷移動量に大きな差異が生じない。つまり、書き込みパルスの印加終了時点において、蛍光体の種類に係わらず壁電圧値がほぼ等しくなる。したがって、補償放電パルスの印加時には、蛍光体の種類に係わらず R 、 B 、 G のセルでほぼ同時に微小放電が開始するので、発光期間も3色の間で均等になる。背景輝度を低減するには、図6に示す発光特性を踏まえ、最も輝度が低い G と同程度の輝度となるように、 R および B について振幅 $V_1(R)$ 、 $V_1(B)$ を設定すればよい。

【0029】第1実施形態によれば、セルの放電特性が蛍光体の発光色ごとに異なっても、背景発光を自在に制御することができる。また、放電開始閾値の低いセルにおいても、放電発光量の増大を引き起こすことがないので、背景発光の輝度を低く抑えることができ、コントラストの改善を図ることができる。

【0030】図7～図17は第1実施形態に係る印加電圧の他の例を示す波形図である。図7ではアドレス電極 A に印加する補償放電パルスの振幅 $V_2(R)$ 、 $V_2(G)$ 、 $V_2(B)$ が蛍光体の種類ごとに設定されている。書き込みパルスの振幅 V_1 は共通である。図8では書き込みパルスおよび補償放電パルスの双方について、蛍

光体の種類ごとに振幅が設定されている。

【0031】図9～図17では、表示電極Yに印加する書込みパルスおよび補償放電パルスのみがランプ波形パルスとされ、アドレス電極Aおよび表示電極Xに印加する書込みパルスおよび補償放電パルスが矩形パルスとされている。そして、図9では、アドレス電極Aに印加する書込みパルスの振幅 $V_1(R)$ 、 $V_1(G)$ 、 $V_1(B)$ が蛍光体の種類ごとに設定されている。図10ではアドレス電極Aに印加する補償放電パルスの振幅 $V_2(R)$ 、 $V_2(G)$ 、 $V_2(B)$ が蛍光体の種類ごとに設定されている。図11では、振幅 $V_1(R)$ 、 $V_1(G)$ 、 $V_1(B)$ および振幅 $V_2(R)$ 、 $V_2(G)$ 、 $V_2(B)$ が蛍光体の種類ごとに設定されている。図12では、アドレス電極Aに対して書込みパルスは印加されず、蛍光体の種類ごとに振幅が設定された補償放電パルスが印加される。図13では、アドレス電極Aに対して蛍光体の種類ごとに振幅が設定された書込みパルスが印加され、補償放電パルスは印加されない。図14では、Gのセルに対応したアドレス電極Aに印加する書込みパルスの振幅が0とされている。

【0032】放電開始閾値の関係が(1)式の関係以外である場合は、その関係に応じて振幅を設定する必要がある。図15では、アドレス電極Aに印加する補償放電パルスの振幅の関係が(3)式で表される。

【0033】

$$V_2(R) < V_2(B) < V_2(G) \quad \dots (3)$$

図16はBのセルとGのセルの放電特性が等しい場合の駆動例を示している。図16では、Rのセルに対応したアドレス電極Aのみに書込みパルスが印加される。図17はBのセルとRのセルの放電特性が等しい場合の駆動例を示している。図17では、Gのセルに対応したアドレス電極Aのみに補償放電パルスが印加される。

【0034】〔第2実施形態〕図18は第2実施形態に係る印加電圧を示す波形図、図19は第2実施形態のリセット過程に係る電圧波形および積分発光量の推移を示す図、図20は第2実施形態に係る電圧設定の概念図である。

【0035】第2実施形態では、リセット期間TRにアドレス電極Aに印加するパルスのパルス幅を、蛍光体の種類(R、G、B)ごとに設定する。例えば、放電開始閾値について(1)式が成立している場合において、

(4)式を満たすように書込みパルスのパルス幅 $T_1(R)$ 、 $T_1(G)$ 、 $T_1(B)$ を設定する。書込み

パルスを矩形パルスとし、その振幅については蛍光体の種類に係わらず全てのアドレス電極Aに対して共通の値 V_{10} を設定する。

【0036】

$$T_1(G) < T_1(B) < T_1(R) \quad \dots (4)$$

アドレス電極Aに対する書込みパルスの印加に際しては、表示電極Yに印加するランプ波形の書込みパルスの

後縁と一致するようにタイミングを設定する。これにより、図19(A)のようにパルス幅 $T_1(R)$ 、 $T_1(G)$ 、 $T_1(B)$ が長いほど、YA電極間へのランプ電圧の印加が早期に終了することになる。

【0037】ランプ電圧の印加によってR、B、Gの順に微小放電が開始し、同じ順序で終了するので、書込みパルスの印加に伴って発光が生じる期間は、R、B、Gの間で均等になる。また、補償放電パルス印加時においても、発光期間が均等になる。したがって、図19

(B)のようにリセット期間TRにおけるRおよびBの積分発光量がGのそれに近づき、全体として背景発光の輝度が低くなる。全てのセルにおいて発光期間が揃ってなくても、その差が縮まるのであれば、背景発光の低減とそれによるコントラスト改善の効果がある。図20に示す発光特性を踏まえ、最も輝度が低いGと同程度の輝度となるように、RおよびBについてパルス幅 $T_1(R)$ 、 $T_1(B)$ を設定すればよい。

【0038】ここでは、アドレス電極への書込みパルスとして正極性の矩形波を用いたが、負極性の矩形波パルスでもよいし、ランプ波でもよい。また、補償放電パルスを印加することも可能である。

【0039】図21～図28は第2実施形態に係る印加電圧の他の例を示す波形図である。図21ではアドレス電極Aに印加する書込みパルスの振幅 V_a がアドレスパルス P_a の振幅と同じ値に設定されている。これにより、アドレス電極Aの電位制御に必要な電源の個数が減る。このことはドライブユニット70の価格低減に有効である。図22ではGのセルに対応する書込みパルスのパルス幅が0である。

【0040】図23では、リセット期間TRにおいて、Rのセルに対応したアドレス電極Aのみに書込みパルスが印加される。そして、書込みパルス振幅 V_a がアドレスパルス P_a の振幅と同じ値に設定されているとともに、パルス幅 $T_1(R)'$ がアドレスパルス P_a のパルス幅(厳密には周期)の整数倍とされている。すなわち、書込みパルスは1つのアドレスパルス P_a または連続的に印加される複数のアドレスパルス P_a に相当する。この例によれば、Aドライバ88をアドレッシングと同様に制御することによってリセット処理を行うことができ、コントローラ71およびAドライバ88の構成を簡単化することができる。

【0041】図24では、リセット期間TRにおける書込みパルスとして、表示電極Xおよび表示電極Yに矩形波形パルスが印加される。アドレス電極Aには対応する蛍光体に応じたパルス幅 $T_2(B)'$ 、 $T_2(G)'$ 、 $T_2(R)'$ の補償放電パルスが印加される。

【0042】図25では消去形式のアドレッシングが行われる。リセット期間TRにおいて点灯維持に適した壁電荷を形成し、アドレス期間TAにおいて非点灯とすべきセルの壁電荷を消去する。表示期間TSでは、最初に

表示電極Xにサステインパルス P_s が印加される。アドレス電極Aに印加する書き込みパルスのパルス幅は次式を満たすように設定されている。

【0043】

$T_1(G)' < T_1(B)' < T_1(R)' \dots (5)$
図26では、書き込みパルスによるYA電極間の放電においてアドレス電極Aが陽極となるように、表示電極X、Yおよびアドレス電極Aのそれぞれに印加する書き込みパルスの極性が設定されている。アドレス電極Aに印加する書き込みパルスのパルス幅は次式を満たす。

【0044】

$T_1(R)'' < T_1(B)'' < T_1(G)'' \dots (6)$
図27および図28は、表示期間TSの最終パルスとして消去パルス $P_{e'}$ 、 $P_{e'}$ を印加して点灯セルの壁電荷を消去する例を示している。消去パルス P_e は500ns程度のパルス幅をもつ細幅パルスである。消去パルス $P_{e'}$ はインパルス状の強放電を起こす急峻なランプ波形パルスである。消去パルス $P_{e'}$ は急峻な鈍波パルスであってもよい。

【0045】なお、表示電極X、Yに矩形書き込みパルスを印加すること、消去形式のアドレッシングを行うこと、アドレス電極Aを陽極とすること、および表示期間TSに消去パルスを印加することは、上述の第1実施形態にも適用可能である。

【0046】【第3実施形態】図29は第3実施形態に係る印加電圧を示す波形図、図30は第3実施形態のリセット過程に係る電圧波形および積分発光量の推移を示す図、図31は第3実施形態に係る電圧設定の概念図である。

【0047】第3実施形態では、表示期間TSにおけるアドレス電極Aのバイアス電位を蛍光体の種類(R, G, B)ごとに設定し、それによって次のサブフレームに係るリセット期間TRにおける背景発光を低減する。

【0048】表示期間TSにおいて、点灯セルのXY電極間には、表示放電が生じるごとに以前と反対極性の壁電圧が発生する。アドレス電極Aのバイアス電位 V_{as} をサステインパルス P_a の振幅の半分程度に相当する中間電位に設定すれば、アドレス電極A上にはほとんど壁電荷が形成されない。バイアス電位 V_{as} を中間電位より低く設定すると、アドレス電極A上には相対的に正の壁電荷が蓄積する。また、逆にバイアス電位 V_{as} を中間電位より高く設定すると、アドレス電極A上には相対的に負の壁電荷が蓄積する。このように点灯セルについては、表示期間TSにおけるアドレス電極Aのバイアス電位 V_{as} の設定によってリセット過程開始時点のYA電極間の壁電圧を制御することができる。

【0049】R, G, Bのそれぞれに対応するバイアス電位を順に $V_{as}(R)$ 、 $V_{as}(B)$ 、 $V_{as}(G)$ と表すと、(1)式の関係のもとでは次式を満たすように電位を設定する。

【0050】

$$V_{as}(G) < V_{as}(B) < V_{as}(R) \dots (7)$$

この設定の場合、図30(A)のようにリセット過程開始時点のYA電極間の壁電圧 $V_{wYA}(R)$ 、 $V_{wYA}(B)$ 、 $V_{wYA}(G)$ が蛍光体の種類によって異なる。書き込みパルスの印加によってほぼ同時に微小放電が開始するので、書き込みパルスの印加に伴って発光の生じる期間がR, B, Gの間で均等になる。したがって、図30(B)のようにリセット期間TRにおけるRおよびBの積分発光量がGのそれに近づき、全体として背景発光の輝度が低くなる。第3実施形態は、特に点灯セルの割合が大きい場合に有効である。

【0051】以上の3つの実施形態では、アドレス電極Aをそれに対応する蛍光体の種類によってグループ分けする例を挙げたが、グループ分けはこれに限らない。例えば蛍光体の充填量の差異が放電特性の差異となって現れる場合のように、大半の列の放電特性が設計どおりで、一部の列の放電特性のみが特異となる場合には、設計どおり列と特異な列とのグループ分けを行う。図32では、設計どおりの放電開始閾値をもつ列に対応したアドレス電極A(M)、放電開始閾値が高い列に対応したアドレス電極A(H)、および放電開始閾値が低い列に対応したアドレス電極A(L)に対して、それぞれに適した振幅 $V_1(M)$ 、 $V_1(H)$ 、 $V_1(L)$ のランプ波形パルスが書き込みパルスとして印加される。

【0052】以上の実施形態において、ランプ波形電圧に代えて、図33に示す鈍波波形電圧または階段波形電圧のような漸増電圧を印加してもよい。振幅制御、パルス幅制御、およびバイアス電位制御を組み合わせるリセット過程を改善することも可能である。アドレッシングは、壁電荷の有無で点灯/非点灯を区別する形態でもよいし、アドレス放電の強弱で点灯/非点灯を制御するブライミングアドレス形態であってもよい。

【0053】

【発明の効果】請求項1ないし請求項11の発明によれば、背景発光を低減して表示のコントラストを高めることができる。

【0054】請求項7の発明によれば、電源数の低減による装置の低価格化を図ることができる。請求項8の発明によれば、アドレッシングと同様の制御で背景発光の低減を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の構成図である。

【図2】PDPのセル構造の一例を示す図である。

【図3】フレーム分割の概念図である。

【図4】第1実施形態に係る印加電圧を示す波形図である。

【図5】第1実施形態のリセット過程に係る電圧波形および積分発光量の推移を示す図である。

【図6】第1実施形態に係る電圧設定の概念図である。

【図 7】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 8】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 9】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 10】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 11】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 12】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 13】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 14】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 15】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 16】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 17】第 1 実施形態に係る印加電圧の他の例を示す波形図である。

【図 18】第 2 実施形態に係る印加電圧を示す波形図である。

【図 19】第 2 実施形態のリセット過程に係る電圧波形および積分発光量の推移を示す図である。

【図 20】第 2 実施形態に係る電圧設定の概念図である。

【図 21】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 22】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 23】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 24】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 25】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 26】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 27】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 28】第 2 実施形態に係る印加電圧の他の例を示す波形図である。

【図 29】第 3 実施形態に係る印加電圧を示す波形図である。

【図 30】第 3 実施形態のリセット過程に係る電圧波形および積分発光量の推移を示す図である。

【図 31】第 3 実施形態に係る電圧設定の概念図である。

【図 32】アドレス電極のグループ分けの他の例に係る印加電圧を示す波形図である。

【図 33】漸増電圧波形の他の例を示す図である。

【図 34】従来のリセット過程に係る電圧波形および積分発光量の推移を示す図である。

【符号の説明】

ES 表示面

1 PDP (プラズマディスプレイパネル)

TR リセット期間

TA アドレス期間

TS 表示期間

A アドレス電極群

28R, 28G, 28B 蛍光体層

V_1 (R), V_1 (G), V_1 (B) 振幅

V_2 (R), V_2 (G), V_2 (B) 振幅

V_{as} (R), V_{as} (G), V_{as} (B) バイアス

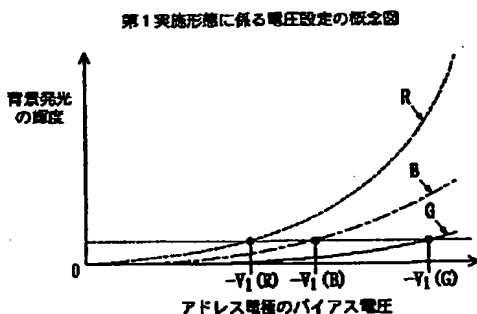
電位

T_1 (R), T_1 (G), T_1 (B) パルス幅

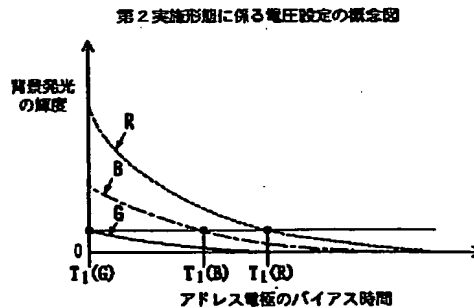
V_a アドレスパルスの振幅

P_a アドレスパルス

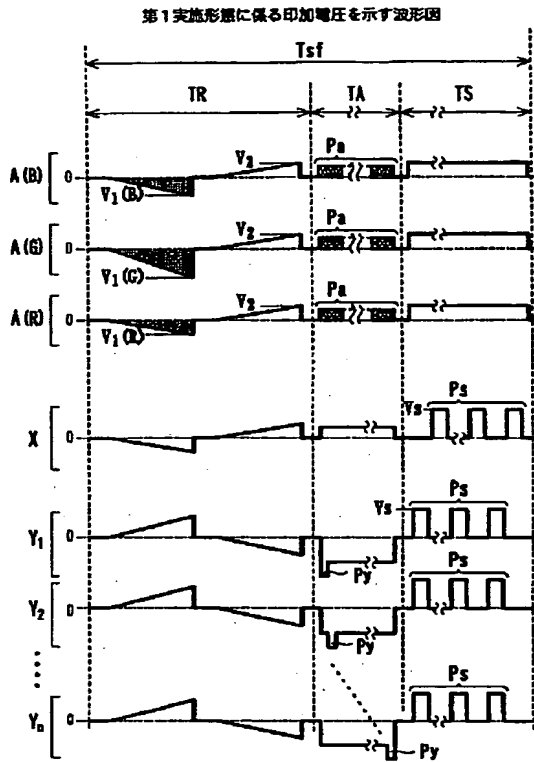
【図 6】



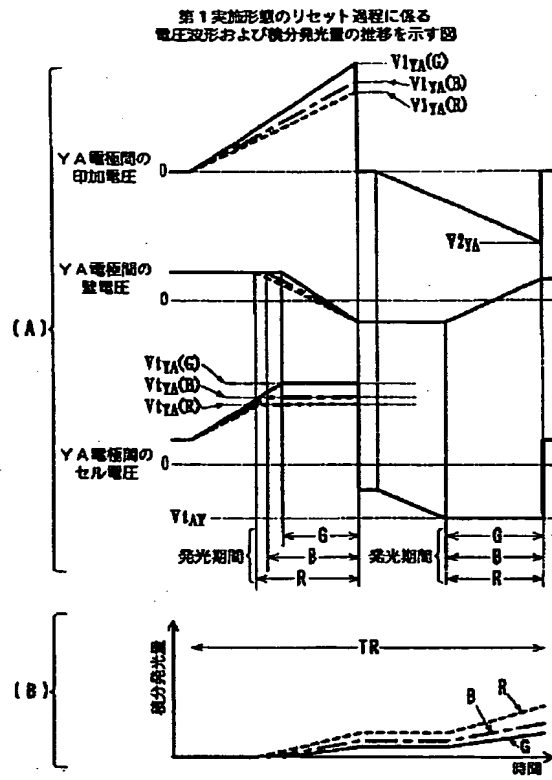
【図 20】



【図4】

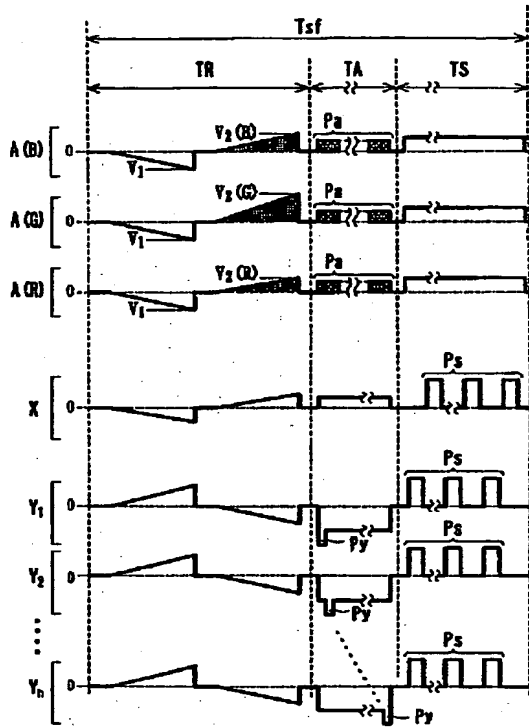


【図5】



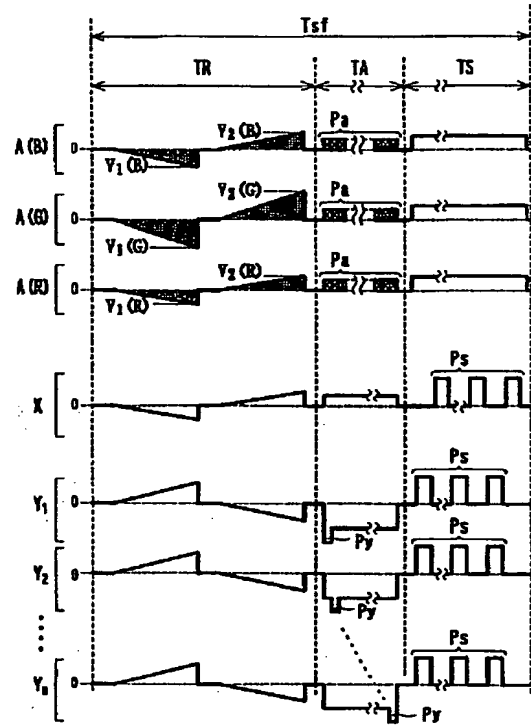
【図 7】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その1）



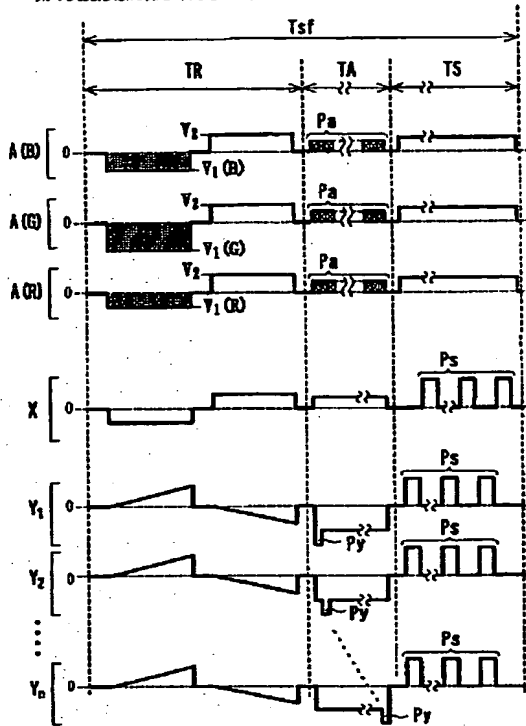
【図 8】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その2）



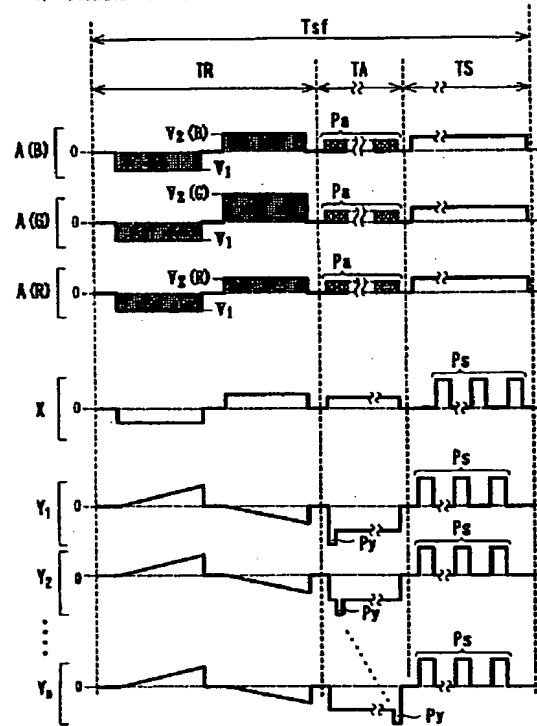
【図9】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その3）

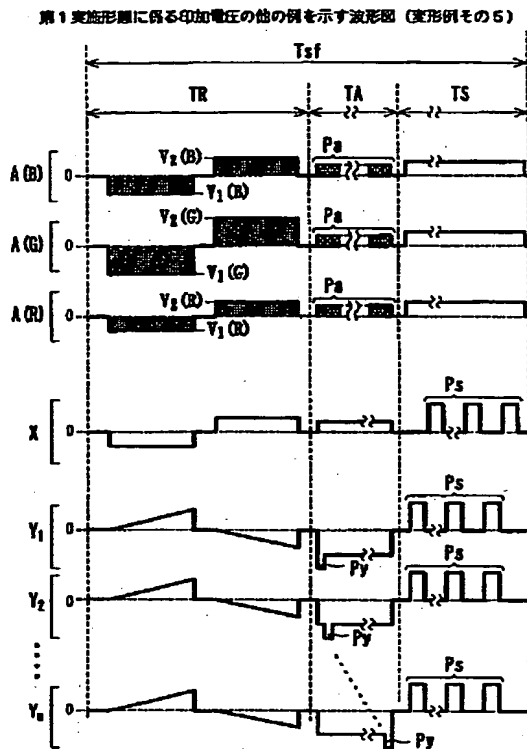


【図10】

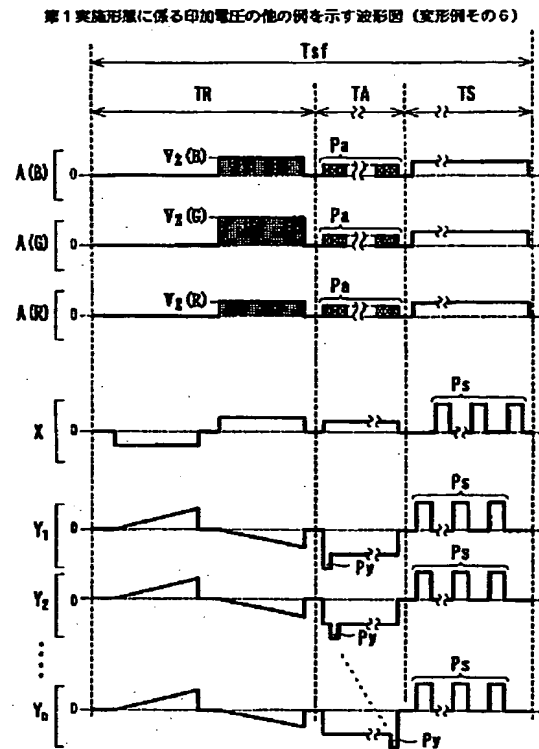
第1実施形態に係る印加電圧の他の例を示す波形図（変形例その4）



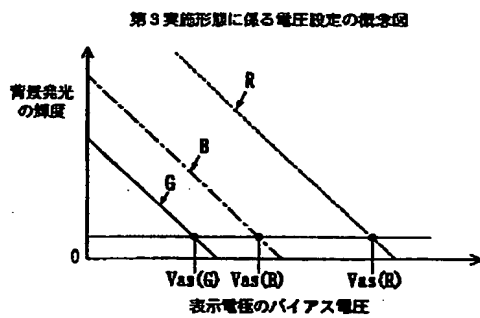
【図11】



【図12】

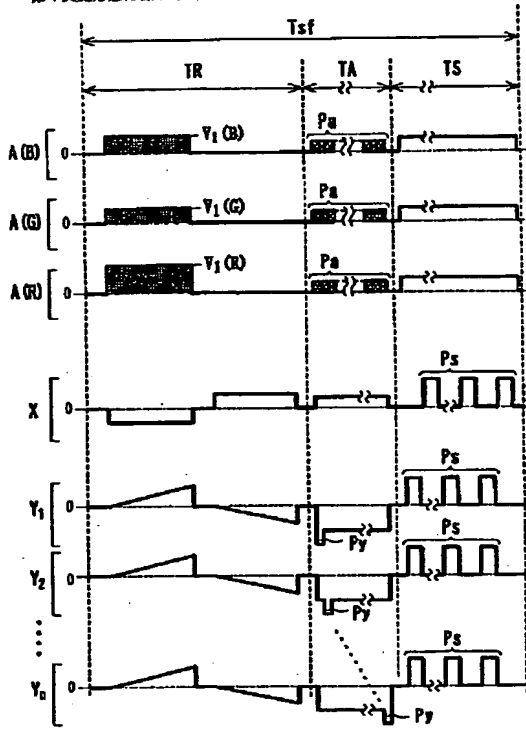


【図31】



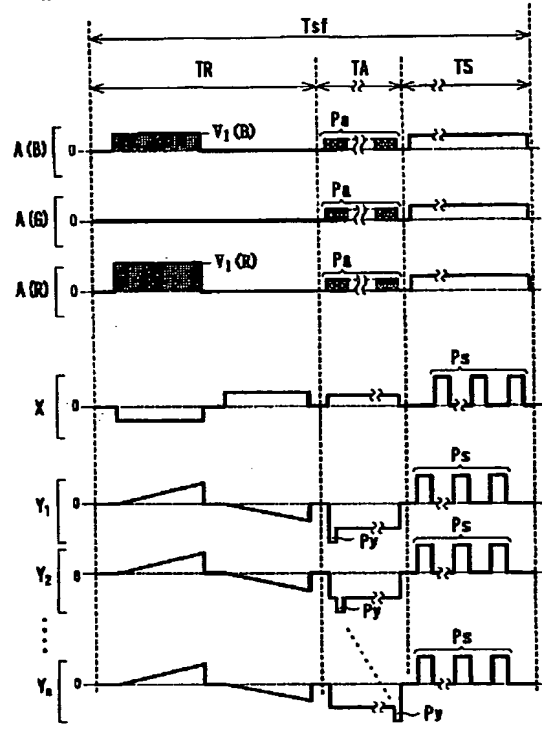
【図13】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その7）



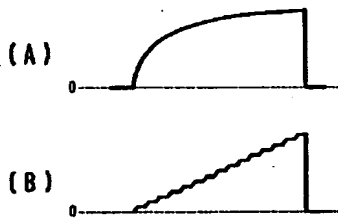
【図14】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その8）



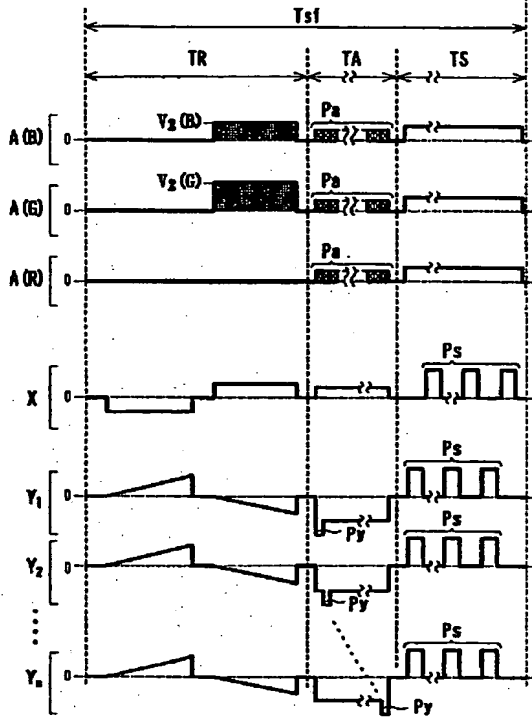
【図33】

漸増電圧波形の他の例を示す図



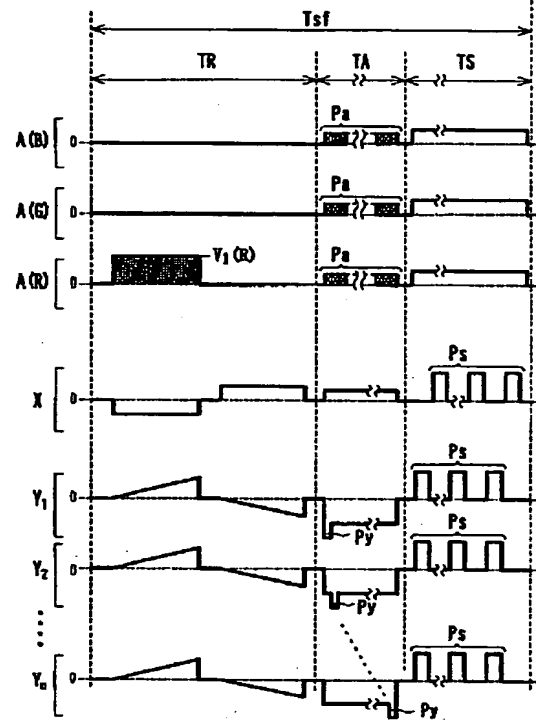
【図15】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その9）



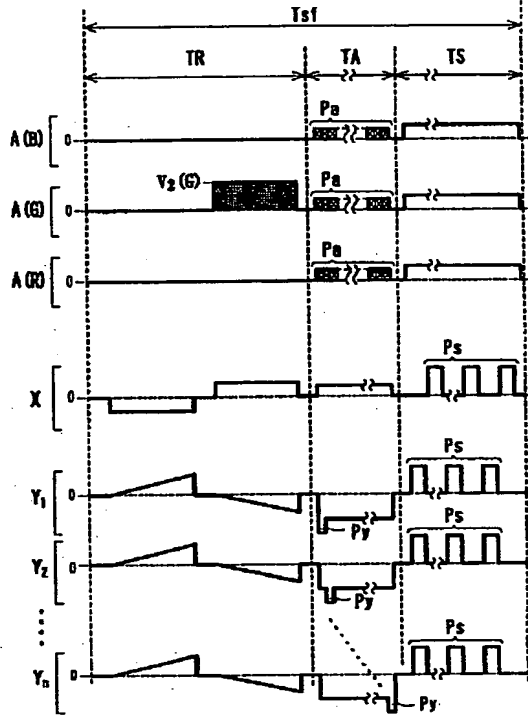
【図16】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その10）



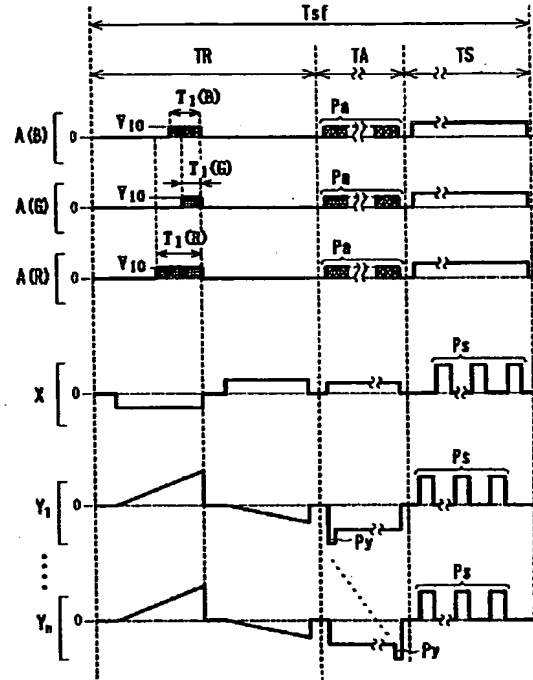
【図 17】

第1実施形態に係る印加電圧の他の例を示す波形図（変形例その11）



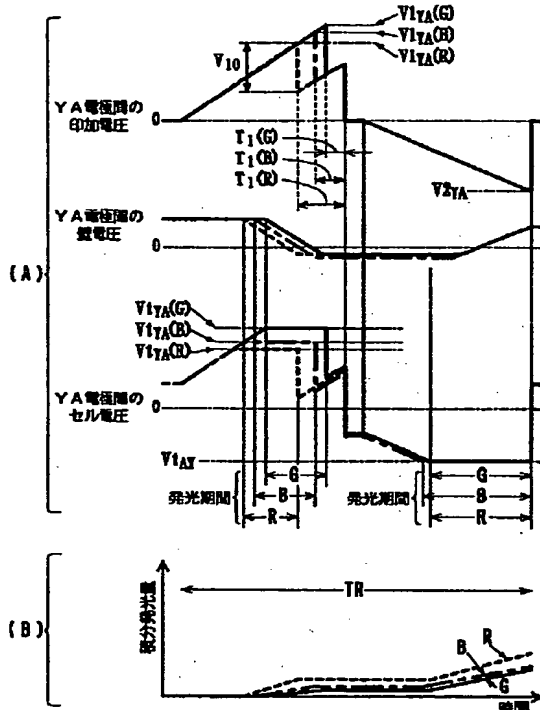
【図 18】

第2実施形態に係る印加電圧を示す波形図



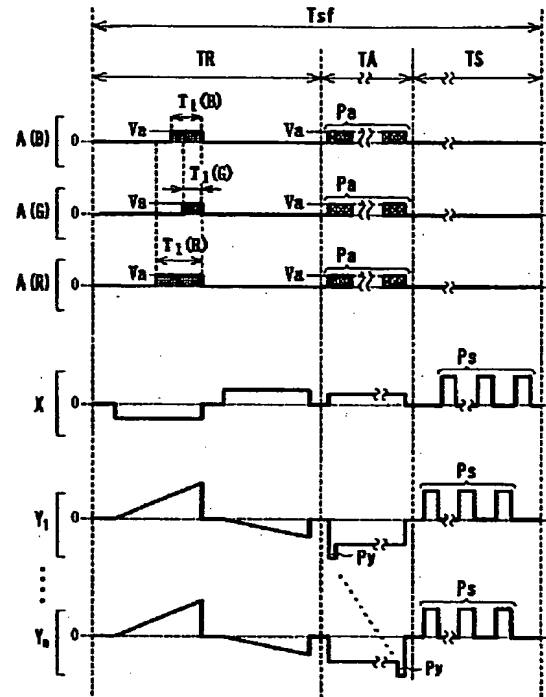
【図 19】

第2実施形態のリセット過程に係る
電圧波形および積分発光量の推移を示す図



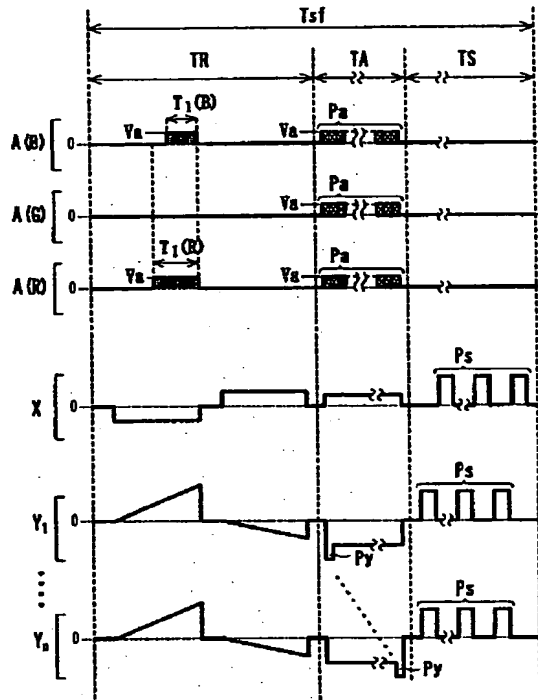
【図 21】

第2実施形態に係る印加電圧の他の例を示す波形図 (変形例その1)



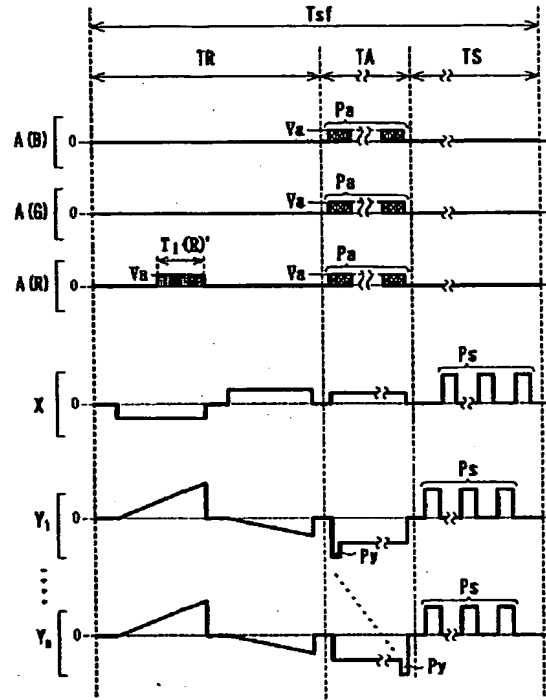
【図 2 2】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その2）



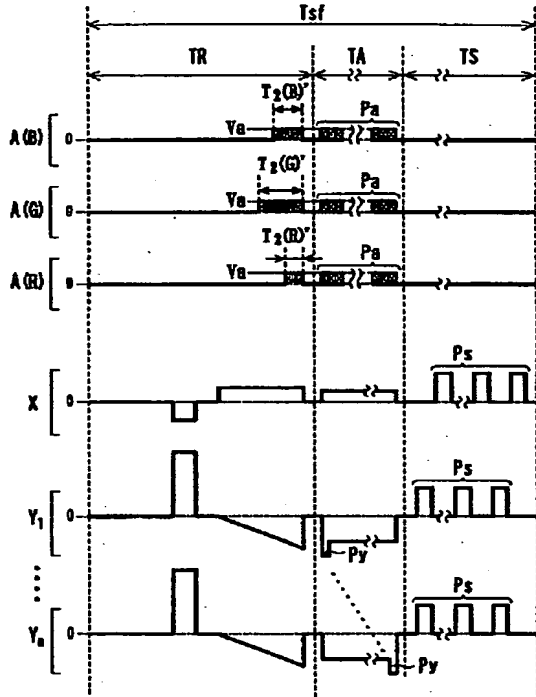
【図 2 3】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その3）



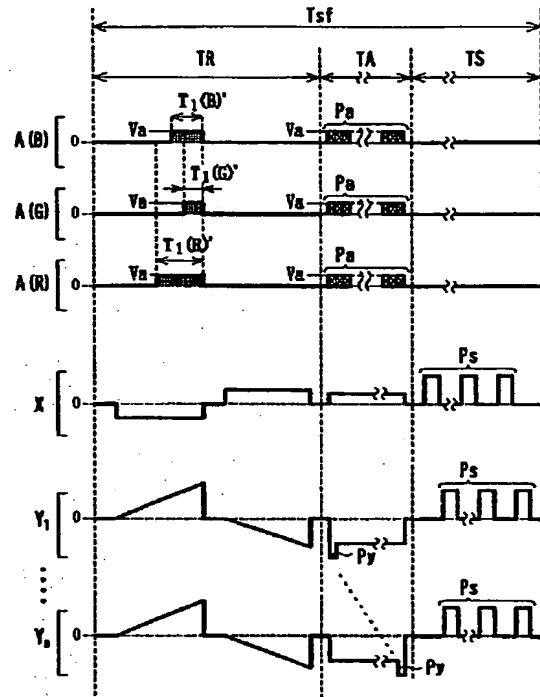
【図 2 4】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その4）



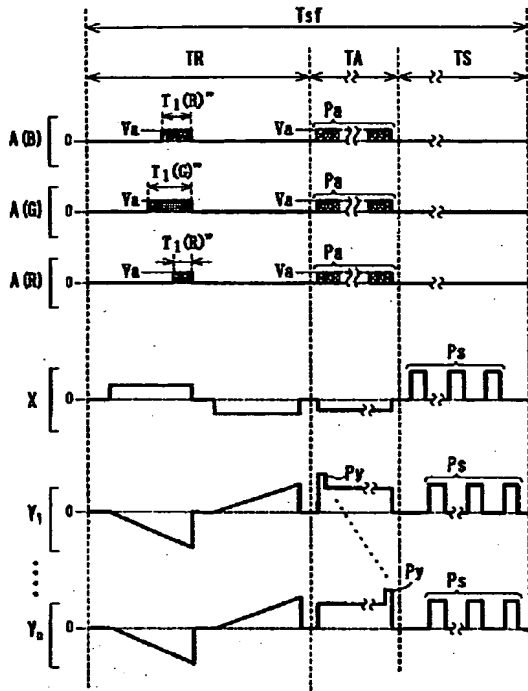
【図 2 5】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その5）



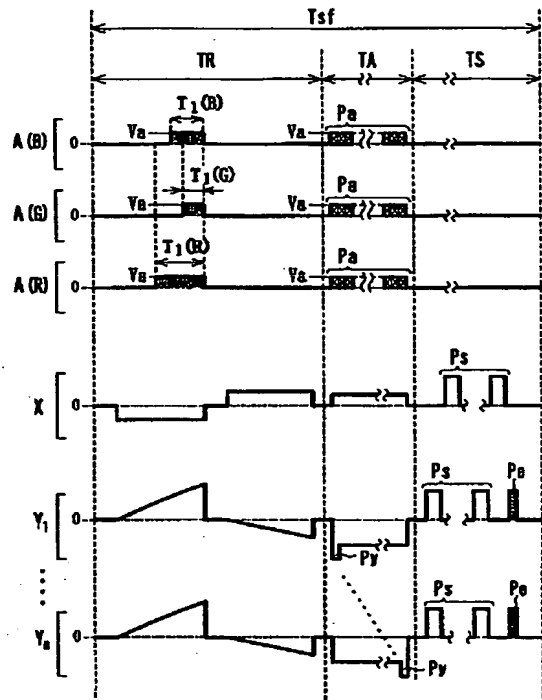
【図 26】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その6）



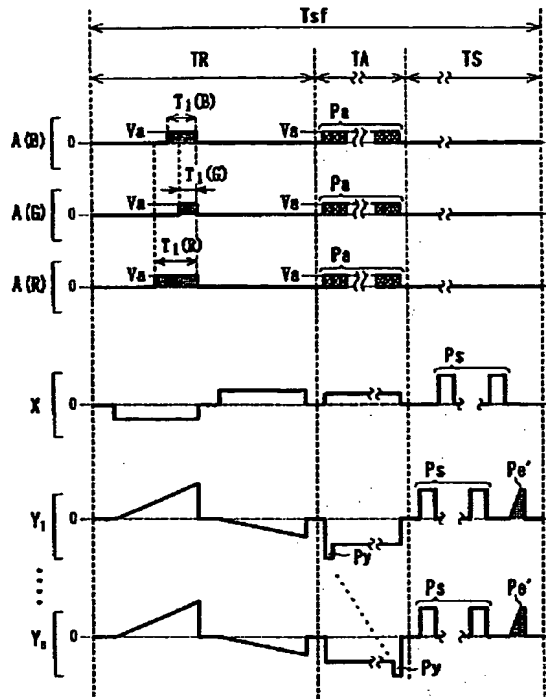
【図 27】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その7）



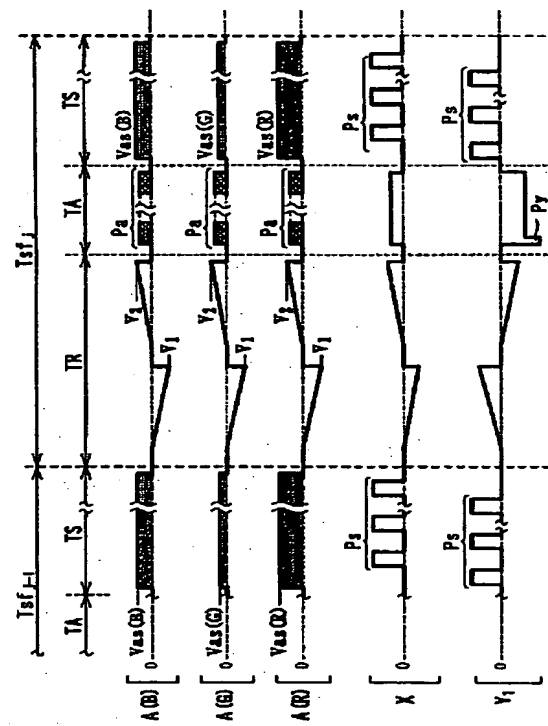
【図 28】

第2実施形態に係る印加電圧の他の例を示す波形図（変形例その8）



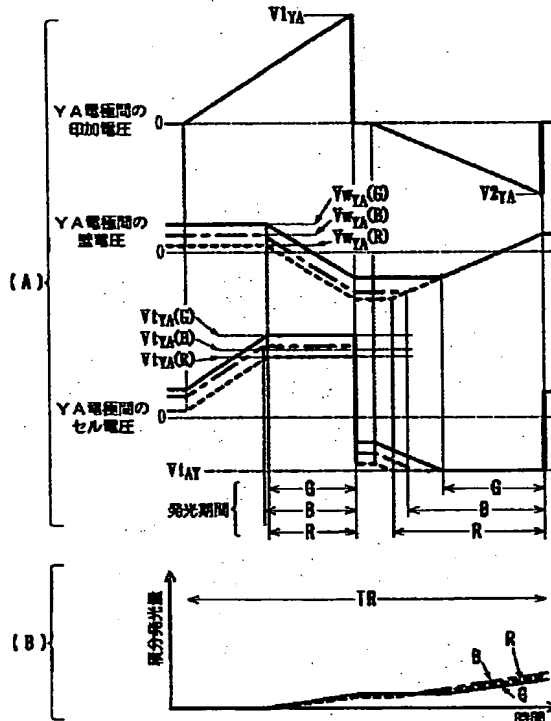
【図 29】

第3実施形態に係る印加電圧を示す波形図



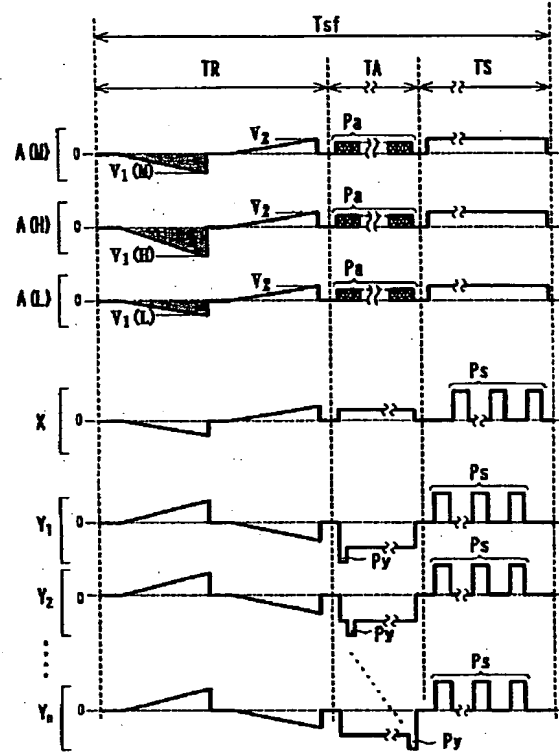
【図 30】

第3実施形態のリセット過程に係る
電圧波形および積分発光量の推移を示す図



【図 32】

アドレス電極のグループ分けの他の例に係る印加電圧を示す波形図



【図34】

従来のリセット過程に係る電圧波形および積分発光量の推移を示す図

